

CLIPPEDIMAGE= JP409260106A

PAT-NO: JP409260106A

DOCUMENT-IDENTIFIER: JP 09260106 A

TITLE: ELECTRONIC PART MANUFACTURING METHOD

PUBN-DATE: October 3, 1997

INVENTOR-INFORMATION:

NAME

INOUE, HIDEHIRO

NIIMI, HIDEAKI

INT-CL (IPC): H01C007/04; H01C001/142 ; H01C017/28
; H01G004/12

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the dispersion of the electric characteristics and improve the reliability by dipping only corresponding parts to external electrodes in a plating liq. to plate them.

SOLUTION: A thermistor chip 11 has specified part corresponding to one external electrode, which is dipped in an electrolytic plating liq. to form a Ni film 12. The surface of this film 12 is plated with Sn to form a Sn film 13, the same as the Ni plating, thus forming a double-layer external electrode 14. Another specified part of the chip 11 is similarly partly dipped in the plating liq. to form another double-layer external electrode 15, thus obtaining an

electronic part 10. Since this part 10 does not contact with the plating liq., except the surface parts of the chip 11 corresponding to the electrodes 14 and 15, no plating film is formed on the surface of the chip 11 or the chip 11 never dissolves in the plating liq., thus reducing the characteristics dispersion.

COPYRIGHT: (C)1997,JPO

----- KWIC -----

Abstract - FPAR:

SOLUTION: A thermistor chip 11 has specified part corresponding to one external electrode, which is dipped in an electrolytic plating liq. to form a Ni film 12. The surface of this film 12 is plated with Sn to form a Sn film 13, the same as the Ni plating, thus forming a double-layer external electrode 14. Another specified part of the chip 11 is similarly partly dipped in the plating liq. to form another double-layer external electrode 15, thus obtaining an electronic part 10. Since this part 10 does not contact with the plating liq., except the surface parts of the chip 11 corresponding to the electrodes 14 and 15, no plating film is formed on the surface of the chip 11 or the chip 11 never dissolves in the plating liq., thus reducing the characteristics dispersion.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260106

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C	7/04		H 0 1 C	7/04
	1/142			1/142
	17/28			17/28
H 0 1 G	4/12	3 6 4	H 0 1 G	4/12
				3 6 4

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平8-66455

(22) 出願日 平成8年(1996)3月22日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 井上 英浩

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 新見 秀明

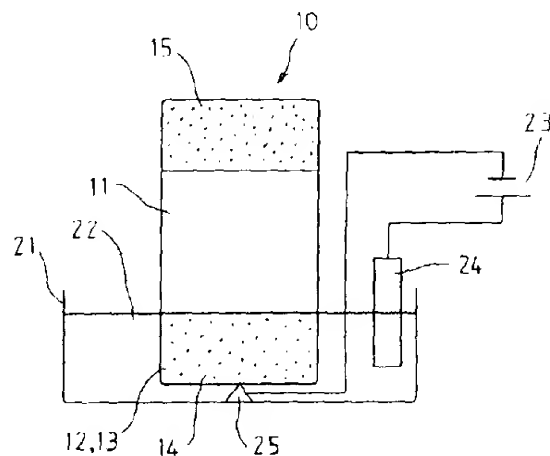
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54) 【発明の名称】 電子部品の製造方法

(57) 【要約】

【課題】セラミック電子部品素体上にガラス等の絶縁被膜を形成することなく半田付け性がよく、かつ半田食われがたい外部電極を備えた電子部品の製造方法を提供する。

【解決手段】電子部品の製造方法において、セラミック電子部品素体を準備し、このセラミック電子部品素体の所定部分にめっき液を接触させることによって、この所定部分の表面に外部電極を形成する。



【特許請求の範囲】

【請求項1】 セラミック電子部品素体を準備し、このセラミック電子部品素体の所定部分にめっき液を接触させることによって、この所定部分の表面に外部電極を形成することを特徴とする電子部品の製造方法。

【請求項2】 前記セラミック電子部品素体の所定部分をめっき液に浸漬させることによって、この所定部分の表面に外部電極を形成することを特徴とする請求項1に記載の電子部品の製造方法。

【請求項3】 前記めっき液は、電解めっき液または無電解めっき液であることを特徴とする請求項1または2に記載の電子部品の製造方法。

【請求項4】 前記外部電極は、下層にNi膜、上層にSn膜またはSn-Pb合金膜から構成されていることを特徴とする請求項1ないし3のいずれかに記載の電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セラミックを本体とする電子部品の製造方法に関し、特に、外部電極を備える表面実装型電子部品の製造方法に関するものである。

【0002】

【従来の技術】第1従来例の表面実装型電子部品1は、図3に示すように、電子部品本体となるセラミック素体2と、その両端それぞれに下層にAg膜3、上層に半田膜4が形成された外部電極5とを備えている。

【0003】この電子部品1は、セラミック素体2の両端それぞれにAgを主成分とするペーストを付与、焼き付けすることによってAg膜3を形成し、次に、このAg膜3が形成されたセラミック素体2を、溶融した半田中に浸漬することによってAg膜3の表面に半田膜4を形成して得られる。

【0004】第2従来例の電子部品6は、図4に示すように、セラミック素体2と、その両端それぞれに下層にNi膜7、上層にSn膜8が形成された外部電極9とを備えている。

【0005】この電子部品6は、セラミック素体2の両端それぞれを活性化処理をした後、セラミック素体2全体を無電解Niめっき液に浸漬することによって、セラミック素体2の両端にNi膜7を形成し、次に、Ni膜7が形成されたセラミック素体2全体を、Snめっきすることによって、Ni膜7の表面にSn膜8を形成して得られる。

【0006】

【発明が解決しようとする課題】しかしながら、第1従来例の電子部品1は、回路基板に半田付けする際、回路基板のランド上に付けられた半田ペーストが溶融した半田、または、フロー半田槽の溶融した半田に電子部品1の半田膜4が溶解し、次に下層のAg膜3も溶融した半

田に食われ、外部電極5がなくなるという問題点を有していた。

【0007】上記問題点である外部電極5の半田食われを防止するために、半田に対するバリアとなるNi膜7を下層に備える第2従来例の電子部品6が提供された。しかし、セラミック素体2をめっき液中に浸漬してめっきをすると、セラミック素体2上にめっき膜が生成されたり、互いの外部電極9側に伸びたり、あるいはセラミック素体2がめっき液に溶解して電子部品6の電気的性能が悪くなる。特に、セラミック素体2がサーミスタの場合、セラミック素体2が溶解、または、セラミック素体2上へのめっき膜生成、もしくはその両方が起こり、所定の抵抗値のサーミスタが得られないという問題点を有していた。

【0008】上述の問題点を解決するために、特開平6-231906号公報のように、外部電極部を除いてセラミック素体をあらかじめガラス等の絶縁性被膜で被覆することによって、セラミック素体をめっき液から遮断する電子部品の製造方法が行われている。しかし、セラミック素体上にガラス等の絶縁性被膜を形成するには技術的にも難しく、手間がかかりコストが高くなるという問題点があった。

【0009】本発明の目的は、上述の問題点を解消すべくなされたもので、セラミック素体上にガラス等の絶縁性被膜を形成することなく半田付け性がよく、かつ半田食われない外部電極を備えた電子部品の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の電子部品の製造方法においては、セラミック電子部品素体を準備し、このセラミック電子部品素体の所定部分にめっき液を接触させることによって、この所定部分の表面に外部電極を形成する。特定的には、前記セラミック電子部品素体の所定部分をめっき液に浸漬させることによって、この所定部分にめっき液を接触させる。

【0011】前記めっき液は、電解めっき液または無電解めっき液が用いられ、前記外部電極は、下層にNi膜、上層にSn膜またはSn-Pb合金膜から構成されることが好ましい。

【0012】これにより、外部電極の形成を必要としないセラミック電子部品素体の箇所にはめっき液に接触しないため、セラミック電子部品素体表面にめっき膜が形成されたり、セラミック電子部品素体がめっき液中に溶解することなく外部電極を形成することができるものである。

【0013】

【発明の実施の形態】本発明による一つの実施の形態について、図1、図2にもとづいて詳細に説明する。セラミック電子部品素体として大きさが1、7×1、2×

1. 0mmのサーミスタ素体11を準備し、図1に示すように、サーミスタ素体11の一方の外部電極に相当する所定部分を電解めっき液中に浸漬して、Niめっきを行ってNi膜12を形成した。次に、Niめっきと同様に、Ni膜12の表面にSnめっきを行って、Sn膜13を形成し、2層からなる一方の外部電極14を形成した。サーミスタ素体11の他方についても同様にサーミスタ素体11の所定部分を部分的に電解めっき液中に浸漬して、2層からなる他方の外部電極15を形成して電子部品10を得た。

【0014】なお、電解めっき装置は、概略的にめっき液槽21、電解めっき液22、電源23、陽極24および給電端子25を備えている。給電端子25は、めっき液槽21の所定位置に固定されており、サーミスタ素体11の下方から給電するとともに、サーミスタ素体11を電解めっき液22の所定の深さに保つことを兼ねることができる。

【0015】このようにして得た電子部品10は、サーミスタ素体11表面の外部電極14、15が形成されている箇所以外はめっき液に接触しないため、サーミスタ素体11表面にめっき膜が析出することがなく、また、サーミスタ素体11がめっき液へ溶解することもないため、特性のばらつき、例えば抵抗値のばらつきが小さい。

【0016】本発明による他の実施の形態について、図1を援用して説明する。但し、無電解めっき装置は、図1に示しためっき液槽21内に無電解めっき液を入れたものを備えており、電源23、陽極24および給電端子25は不要とされる。なお、給電端子25に代わってサーミスタ素体11の深さを規制するための支持体を備えるものでもよい。

【0017】サーミスタ素体11を準備し、サーミスタ素体11の外部電極に相当する両端部それぞれを活性化処理をし、図1と同様に、サーミスタ素体11の一方の外部電極に相当する所定部分を無電解めっき液中に浸漬して、Niめっきを行ってNi膜12を形成した。次に、Niめっきと同様に、Ni膜12の表面にSnめっきを行って、Sn膜13を形成し、2層からなる一方の外部電極14を形成した。サーミスタ素体11の他方についても同様にサーミスタ素体11の所定部分を部分的に無電解めっき液中に浸漬して、2層からなる他方の外部電極15を形成して電子部品10を得た。

【0018】このようにして得た電子部品10は、サーミスタ素体11表面の外部電極14、15が形成されている箇所以外はめっき液に接触しないため、サーミスタ素体11表面にめっき膜が析出することがなく、また、サーミスタ素体11がめっき液へ溶解することもない。

【0019】なお、上述の実施の形態においては、上層にSn膜を形成したものであるが、Snに代わって、Sn/Pb合金からなる合金膜であってもよい。また、上述の実施の形態において、下層、上層の電極膜の形成方法が、ともに電解めっき、および、ともに無電解めっきであるが、これに限定されるものでなく、下層を電解めっき、上層を無電解めっき、または、下層を無電解めっき、上層を電解めっき等に組み合わせることもできる。

【0020】さらに、セラミック電子部品素体として、サーミスタ素体を例にして説明をしたが、NTCサーミスタおよびPTCサーミスタを含み、これ以外にもコンデンサ、圧電体、磁性体、バリスタ、抵抗体等のセラミック電子部品素体に適用することができる。

【0021】

【発明の効果】以上述べたように、本発明による電子部品の製造方法では、外部電極に相当する部分だけをめっき液中に浸漬してめっき処理を行うため、セラミック電子部品素体表面へのめっき膜析出や、セラミック電子部品素体がめっき液へ溶解することがなく、電気的特性のばらつきが少なくかつ信頼性に優れ、抗折強度などの機械的強度が優れた電子部品を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る一つの実施の形態の電子部品の製造方法を示す図解的断面図である。

【図2】本発明に係る製造方法で得られる電子部品の一部破断斜視図である。

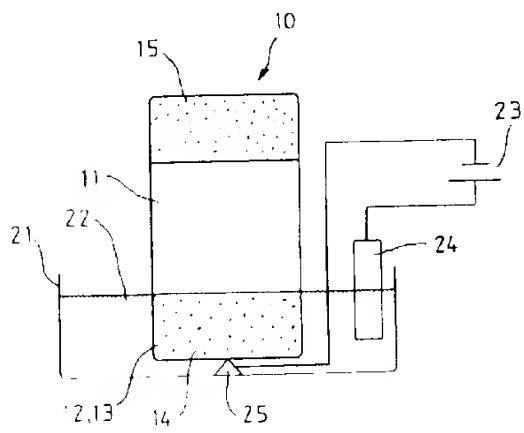
【図3】第1従来例の電子部品の一部破断斜視図である。

【図4】第2従来例の電子部品の一部破断斜視図である。

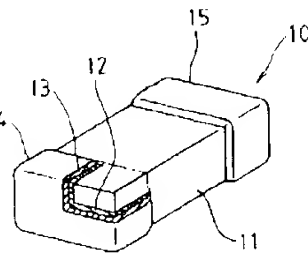
【符号の説明】

11	サーミスタ素体
12	Ni膜
13	Sn膜
14、15	外部電極
22	電解めっき液

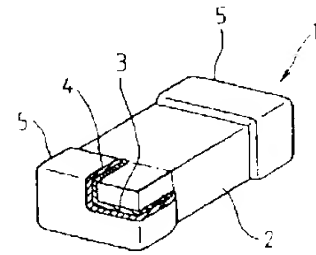
【図1】



【図2】



【図3】



【図4】

